

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-167965
(43)Date of publication of application : 23.06.2005

(51)Int.Cl. H04L 12/56

(21)Application number : 2004-127471 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 23.04.2004 (72)Inventor : KAWABATA MANABU
YASUI JUNICHI

(30)Priority

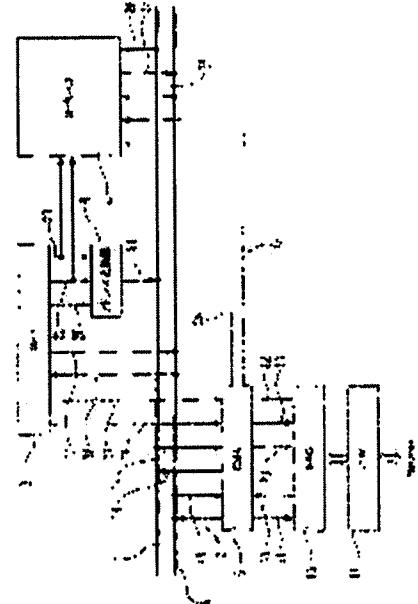
Priority number : 2003381878 Priority date : 12.11.2003 Priority country : JP

(54) PACKET PROCESSING METHOD AND APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To improve throughput by reducing the number of times of copying to a memory in a packet conversion processing step.

SOLUTION: The packet processing apparatus is provided with: a storage device 4 for storing data; a transfer device 5 for dividing the data by each predetermined data length when storing the data in the storage device 4, and separately arranging the divided data in the storage device 4 while securing a first blank area for adding a protocol header to the divided data and a second blank area for adding a protocol footer to the divided data; a read address control means for realizing access to the data separately arranged in the storage device 4 as access to consecutive data; and a write address control means 6 for storing the added protocol header in the first blank area and storing the added protocol footer in the second blank area when packet conversion processing is performed upon the divided data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-167965

(P2005-167965A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int.C1.⁷

H04L 12/56

F 1

H04L 12/56 300A

テーマコード(参考)

5K030

審査請求 未請求 請求項の数 19 O L (全 27 頁)

(21) 出願番号	特願2004-127471 (P2004-127471)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成16年4月23日 (2004.4.23)	(74) 代理人	100113859 弁理士 板垣 孝夫
(31) 優先権主張番号	特願2003-381878 (P2003-381878)	(74) 代理人	100068087 弁理士 森本 義弘
(32) 優先日	平成15年11月12日 (2003.11.12)	(72) 発明者	川端 学 大阪府門真市大字門真1006番地 松下 電器産業株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	安井 純一 大阪府門真市大字門真1006番地 松下 電器産業株式会社内
			F ターム(参考) 5K030 GA03 HA08 JA05 KA03 LE11

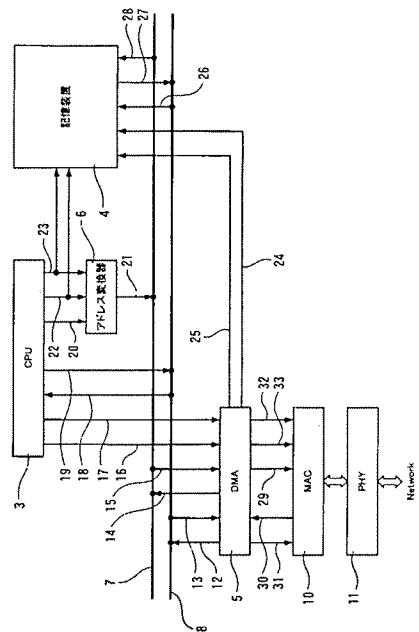
(54) 【発明の名称】パケット処理方法および装置

(57) 【要約】

【課題】 パケット変換処理過程におけるメモリへのコピー回数を低減して、スループットを向上させる。

【解決手段】 データを記憶する記憶装置4と、データを記憶装置4に格納する際に、データを所定のデータ長毎に分割し、かつ分割データにプロトコルヘッダを付加するための第一のブランク領域および分割データにプロトコルフッタを付加するための第二のブランク領域を確保しながら記憶装置4に分割データを離間配置する転送装置5と、記憶装置4に離間配置されたデータにアクセスする際に連続データとしてアクセスを実現するための読み出しアドレス制御手段6と、分割データにパケット変換処理を行った際に、付加されるプロトコルヘッダを第一のブランク領域に格納し、かつ付加されるプロトコルフッタを第二のブランク領域に格納するための書き込みアドレス制御手段6とを具備する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

データをネットワーク間で通信するための通信プロトコルに適合したパケットに変換するパケット処理方法であって、前記データを所定のデータ長毎に分割して複数の分割データとする工程と、前記分割データを記憶する工程と、前記分割データを記憶する際に、前記分割データの各々を格納する記憶領域の前の領域に前記分割データに対応する第一のブランク領域を確保する工程と、前記分割データの各々を格納する記憶領域の後の領域に前記分割データに対応する第二のブランク領域を確保する工程と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルヘッダを前記第一のブランク領域に格納する工程と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルフッタを前記第二のブランク領域に格納する工程と、各々の分割データについて付加されたプロトコルヘッダおよびプロトコルフッタを含む記憶領域のデータを1つのパケットとして識別する工程と、を含むことを特徴とするパケット処理方法。10

【請求項 2】

請求項1に記載されたパケット処理方法を実現する装置であって、データを記憶する記憶装置と、データを前記記憶装置に格納する際に、データを所定のデータ長毎に分割し、かつ前記分割データにプロトコルヘッダを付加するための第一のブランク領域および前記分割データにプロトコルフッタを付加するための第二のブランク領域を確保しながら前記記憶装置に分割データを離間配置する転送装置と、前記記憶装置に離間配置されたデータにアクセスする際に連続データとしてアクセスを実現するための読み出しアドレス制御手段と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルヘッダを前記第一のブランク領域に格納し、かつ付加されるプロトコルフッタを前記第二のブランク領域に格納するための書き込みアドレス制御手段と、を具備することを特徴とするパケット処理装置。20

【請求項 3】

分割データのデータ長と、第一のブランク領域の大きさと、第二のブランク領域の大きさとを、各々任意に設定するためのレジスタを具備することを特徴とする請求項2記載のパケット処理装置。

【請求項 4】

転送装置は、転送元から転送先へデータを転送する際に、設定した転送回数毎に転送先アドレスに任意値を加算しながら連続転送する機能を具備して、分割データのデータ長分だけ記憶装置にデータを転送する度に、第一のブランク領域のアドレス数と第二のブランク領域のアドレス数との和を転送先アドレスに加算して次のデータを連続転送することにより、前記記憶装置への分割データの離間配置を実現するように構成されていることを特徴とする請求項2または3に記載のパケット処理装置。30

【請求項 5】

読み出しアドレス制御手段と書き込みアドレス制御手段とは、プロトコルヘッダおよび、またはプロトコルフッタを付加する度に更新されるように構成され、パケット処理装置は、任意の時点での記憶装置上の分割データ格納領域の大きさを示す第一のレジスタと、プロトコルヘッダが付加される度に更新され、任意の時点での前記記憶装置上のプロトコルヘッダ格納用ブランク領域の大きさを示す第二のレジスタと、プロトコルフッタが付加される度に更新され、任意の時点での前記記憶装置上のプロトコルフッタ格納用ブランク領域の大きさを示す第三のレジスタとを具備することを特徴とする請求項2から4までのいずれか1項記載のパケット処理装置。40

【請求項 6】

読み出しアドレス制御手段は、第二のレジスタの値と第三のレジスタの値との和から、記憶装置に格納されている分割データ間のブランク領域の大きさを算出する機能を具備して、前記分割データを前記記憶装置の外部からアクセスする際に、第一のレジスタの値に対応した読み出し回数毎に、アクセス先のアドレスに前記算出値を加算することで、離間配置した前記分割データに対する連続アクセスを実現可能に構成されていることを特徴とする50

請求項 5 記載のパケット処理装置。

【請求項 7】

書き込みアドレス制御手段は、第一のレジスタの値と第二のレジスタの値と第三のレジスタの値との和に、プロトコルヘッダの付加回数を乗じたうえで、第二のレジスタの値から付加するプロトコルヘッダの大きさを減算したオフセット値を和することで、各々の分割データに対応するプロトコルヘッダ格納領域の離間アドレス値を算出し、また第一のレジスタの値と第二のレジスタの値と第三のレジスタの値との和から、付加するプロトコルフッタの大きさを減算した値に、プロトコルフッタの付加回数を乗ずることで、各々の分割データに対応するプロトコルフッタ格納領域の離間アドレス値を算出する機能を具備して、1つのプロトコルヘッダおよび、または1つのプロトコルフッタを記憶装置に格納する度に、格納先のアドレスに前記算出値を加算することで、前記記憶装置上に離間配置した前記分割データ各々に対するプロトコルヘッダおよび、またはプロトコルフッタの付加を実現可能に構成されていることを特徴とする請求項 5 または 6 記載のパケット処理装置。

10

【請求項 8】

付加するプロトコルヘッダおよび、またはプロトコルフッタの大きさを、プロトコル毎に予め設定する手段を有することを特徴とする請求項 7 記載のパケット処理装置。

【請求項 9】

付加するプロトコルヘッダおよび、またはプロトコルフッタの大きさを、各々のデータ長をカウントする専用のカウンタによりその都度算出するように構成されていることを特徴とする請求項 7 記載のパケット処理装置。

20

【請求項 10】

データを記憶する記憶装置と、前記記憶装置に格納されたデータに対してパケット処理を行う C P U と、前記記憶装置と C P U との間でデータ転送を行う転送装置とを具備し、前記転送装置は、任意に設定可能な転送回数毎にデータの転送先アドレスを初期化することで、前記記憶装置上の転送先アドレスを一定領域内で無限にループさせるように構成されていることを特徴とするパケット処理装置。

【請求項 11】

記憶装置内でパケット処理が完了しているデータが格納されている記憶領域の最終アドレスと、転送装置から前記記憶装置にデータを送信する際の送信先アドレスとの差分を算出して、アドレス差分算出値が予め設定したアドレス差分値よりも小さくなる場合に、前記転送装置に対してウェイト制御信号を出力するウェイト命令制御手段を具備することを特徴とする請求項 10 記載のパケット処理装置。

30

【請求項 12】

ウェイト命令制御手段は、アドレス差分値を設定するためのレジスタを具備することを特徴とする請求項 11 記載のパケット処理装置。

【請求項 13】

転送装置は、ウェイト命令制御手段よりウェイト制御信号が入力された場合に前記転送装置から記憶装置へのデータ転送を一時停止させるように構成されていることを特徴とする請求項 11 または 12 記載のパケット処理装置。

40

【請求項 14】

転送装置は、ウェイト命令制御手段より入力されるウェイト制御信号の入力回数をカウントするカウンタと、このカウンタによるカウント値が予め設定した値に達した場合に、前記転送装置から記憶装置へのデータ転送を一時停止させる制御部とを具備することを特徴とする請求項 11 または 12 記載のパケット処理装置。

【請求項 15】

転送装置は、ウェイト命令制御手段よりウェイト制御信号が入力された場合に、C P U に対して通知信号を出力して、前記 C P U の他のタスクに対するパケット処理の優先度を上げるように構成されていることを特徴とする請求項 13 記載のパケット処理装置。

【請求項 16】

転送装置は、カウンタによるカウント値が予め設定した値に達した場合に、C P U に対

50

して通知信号を出力して、前記 C P U の他のタスクに対するパケット処理の優先度を上げるよう構成していることを特徴とする請求項 14 記載のパケット処理装置。

【請求項 17】

通知信号は優先レベルを有した割込み要求信号であることを特徴とする請求項 15 または 16 記載のパケット処理装置。

【請求項 18】

転送装置は、C P U に割込み要求を出力する際に、アドレス差分算出値に応じた優先レベルの割込み要求を出力するよう構成していることを特徴とする請求項 17 記載のパケット処理装置。

【請求項 19】

転送装置は、アドレス差分算出値が小さな時ほど優先レベルの高い割込み要求を出力してパケット処理の優先度を上げるように構成していることを特徴とする請求項 18 記載のパケット処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパケット処理方法および装置に関し、特にデータをネットワーク間で通信するための通信プロトコルに適合したパケットに変換する際のパケット処理方法および装置に関する。

【背景技術】

【0002】

データのパケット変換処理は、一般的に以下のように行われる。すなわち、ネットワークに送信されるデータは、通信を行うネットワークの最大伝送ユニットの制約や目的によって定めたデータ長を越えると、分割される。分割された各々のデータは、プロトコルスタックにより処理される。この処理により、各々のデータには複数のプロトコルヘッダやプロトコルフッタが付加され、ネットワーク上で伝送され得るパケットを形成する。このような処理過程において、各々のデータは、プロトコルヘッダやプロトコルフッタを付加される度に、ユーザまたはアプリケーションプログラムに割り当てられたメモリのある領域から、プロセッサの使用専用のメモリの別の領域へ、単にコピーされる。パケットで伝送される各々のデータは別々にコピーされるため、プロセッサにかかる負荷は大きく、また頻繁な伝送により大量のメモリバスの帯域幅が使用される（特許文献 1）。

【特許文献 1】特表 2002-538731 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記従来の処理方法では、プロトコルスタック処理においてプロトコルヘッダやプロトコルフッタを付加する度に、上記のように各々のデータに対するコピーが発生するため、プロセッサがその処理に必要とする時間が長くなり、スループットが低下するおそれがあるという問題点があった。

【0004】

本発明は、上記問題点を解決するものであり、パケット変換処理過程におけるメモリへのコピー回数を低減して、スループットを向上させるパケット変換処理方式およびパケット変換処理装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

パケット処理方法についての本発明は、次のような処理工程を講じることにより、上記の課題を解決する。

データをネットワーク間で通信するための通信プロトコルに適合したパケットに変換するパケット処理方法が、前記データを所定のデータ長毎に分割して複数の分割データとする工程と、前記分割データを記憶する工程と、前記分割データを記憶する際に、前記分割

データの各々を格納する記憶領域の前の領域に前記分割データに対応する第一のブランク領域を確保する工程と、前記分割データの各々を格納する記憶領域の後の領域に前記分割データに対応する第二のブランク領域を確保する工程と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルヘッダを前記第一のブランク領域に格納する工程と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルフッタを前記第二のブランク領域に格納する工程と、各々の分割データについて付加されたプロトコルヘッダおよびプロトコルフッタを含む記憶領域のデータを1つのパケットとして識別する工程と、を含む。

【0006】

以上の処理工程を講じることにより、データに対するパケット変換処理によってプロトコルヘッダおよび、またはプロトコルフッタを付加した際に、前記プロトコルヘッダおよび、またはプロトコルフッタを含むデータを、パケット変換処理で使用するプロセッサにおける使用専用のメモリからユーザースペース（例えばアプリケーションプログラムのデータ格納装置）にその都度コピーする必要がなくなり、付加するプロトコルヘッダおよび、またはプロトコルフッタのみを、ユーザースペース上に確保した第一のブランク領域ないし第二のブランク領域にコピーすればよい。

10

【0007】

また、前記パケット処理方法を実現するパケット処理装置についての本発明は、次のような構成により、上記の課題を解決する。

データを記憶する記憶装置と、データを前記記憶装置に格納する際に、データを所定のデータ長毎に分割し、かつ前記分割データにプロトコルヘッダを付加するための第一のブランク領域および前記分割データにプロトコルフッタを付加するための第二のブランク領域を確保しながら前記記憶装置に分割データを離間配置する転送装置と、前記記憶装置に離間配置されたデータにアクセスする際に連続データとしてアクセスを実現するための読み出しあдрес制御手段と、前記分割データにパケット変換処理を行った際に、付加されるプロトコルヘッダを前記第一のブランク領域に格納し、かつ付加されるプロトコルフッタを前記第二のブランク領域に格納するための書き込みアドレス制御手段と、を具備する。

20

【0008】

これにより、データに対するパケット変換処理によってプロトコルヘッダおよび、またはプロトコルフッタを付加した際に、前記プロトコルヘッダおよび、またはプロトコルフッタを含むデータを、パケット変換処理で使用するプロセッサの使用専用のメモリから記憶装置にその都度コピーする必要がなくなり、付加するプロトコルヘッダおよび、またはプロトコルフッタのみを、記憶装置上に確保した第一のブランク領域および、または第二のブランク領域にコピーすればよく、データに対するパケット変換処理のスループットを向上することができる。

30

【0009】

また、分割データのデータ長と、第一のブランク領域の大きさと、第二のブランク領域の大きさとを、各々任意に設定するためのレジスタを具備することで、記憶装置に対する分割データの離間配置をより柔軟に制御することが可能である。

【0010】

転送装置は、転送元側から転送先側へデータを転送する際に、設定した転送回数毎に転送先アドレスに任意値を加算しながら連続転送する機能を有するD M A Cであり、分割データのデータ長分だけ記憶装置にデータを転送する度に、第一のブランク領域のアドレス数と第二のブランク領域のアドレス数との和を転送先アドレスに加算して次のデータを連続転送することにより、前記記憶装置への分割データの離間配置を実現するように構成されているのが好適である。

40

【0011】

読み出しあドレス制御手段と書き込みアドレス制御手段は、プロトコルヘッダおよび、またはプロトコルフッタを付加する度に更新されるように構成され、パケット処理装置は、任意の時点での記憶装置上の分割データ格納領域の大きさを示す第一のレジスタと、プロト

50

コルヘッダが付加される度に更新され、任意の時点での前記記憶装置上のプロトコルヘッダ格納用ブランク領域の大きさを示す第二のレジスタと、プロトコルフッタが付加される度に更新され、任意の時点での前記記憶装置上のプロトコルフッタ格納用ブランク領域の大きさを示す第三のレジスタを具備するのが好適である。これらは、データに対する複数のプロトコルスタック処理を実現する上で有用である。

【0012】

また、読み出しアドレス制御手段は、第二のレジスタの値と第三のレジスタの値との和から、記憶装置に格納されている分割データ間のブランク領域の大きさを算出する機能を具備して、前記分割データを前記記憶装置の外部からアクセスする際に、第一のレジスタの値に対応した読み出し回数毎に、アクセス先のアドレスに前記算出値を加算することで、離間配置した前記分割データに対する連続アクセスを実現可能に構成されていることが好適である。

【0013】

また、書き込みアドレス制御手段は、第一のレジスタの値と第二のレジスタの値と第三のレジスタの値との和に、プロトコルヘッダの付加回数を乗じたうえで、第二のレジスタの値から付加するプロトコルヘッダの大きさを減算したオフセット値を和することで、各々の分割データに対応するプロトコルヘッダ格納領域の離間アドレス値を算出し、また第一のレジスタの値と第二のレジスタの値と第三のレジスタの値との和から、付加するプロトコルフッタの大きさを減算した値に、プロトコルフッタの付加回数を乗ずることで、各々の分割データに対応するプロトコルフッタ格納領域の離間アドレス値を算出する機能を具備して、1つのプロトコルヘッダおよび、または1つのプロトコルフッタを記憶装置に格納する度に、格納先のアドレスに前記算出値を加算することで、前記記憶装置上に離間配置した前記分割データ各々に対するプロトコルヘッダおよび、またはプロトコルフッタの付加を実現可能に構成されていることが好適である。

【0014】

付加するプロトコルヘッダおよび、またはプロトコルフッタの大きさは、例えば標準的なイーサネット（登録商標）対応のTCP/IPにおいては、TCPヘッダは20もしくは24バイト、IPヘッダは20バイト以上かつ60バイト以下、イーサネット（登録商標）ヘッダは14バイト、フッタとなるCRCは4バイトという具合に、プロトコル毎に予め設定しておくと良い。もしくは、データに対してパケット変換処理を行う過程で、データに対して実際に付加されるプロトコルヘッダおよび、またはプロトコルフッタ各々のデータ長をカウントする専用のカウンタを設けることにより、その都度算出することもできる。

【0015】

第二のパケット処理装置についての本発明は、転送装置を次のように構成することにより、パケット変換処理に必要な記憶装置上の作業用領域を大幅に削減することが可能である。

【0016】

すなわち本発明は、データを記憶する記憶装置と、タスクの一つとして前記記憶装置に格納されたデータに対してパケット処理を行うCPUと、前記記憶装置とCPUとの間でデータ転送を行う転送装置とを具備し、前記転送装置は、任意に設定可能な転送回数毎にデータの転送先アドレスを初期化することで、前記記憶装置上の転送先アドレスを一定領域内で無限にループさせるように構成されているものである。

【0017】

このようなものであると、少ないメモリ空間での連続したパケット処理を実現することができ、例えば画像データをリアルタイムにネットワークに送信するような場合に、つまりデータに対して連続的にパケット変換処理を行ってネットワークに送信し続けるような場合に、パケット変換処理に必要な記憶装置上の作業用領域を大幅に削減することが可能である。

【0018】

10

20

50

30

40

50

また本発明は、記憶装置内でパケット処理が完了しているデータが格納されている記憶領域の最終アドレスと、転送装置から前記記憶装置にデータを送信する際の送信先アドレスとの差分を算出して、アドレス差分算出値が予め設定したアドレス差分値よりも小さくなる場合に、前記転送装置に対してウェイト制御信号を出力するウェイト命令制御手段を具備していることが好適である。このようなものであると、転送装置によるパケット処理未完了データへの上書きを防止することができる。

【0019】

またウェイト命令制御手段が、アドレス差分値を任意に設定するためのレジスタを具備することにより、転送装置によるパケット処理未完了データへの上書きをより柔軟に防止することも可能である。

10

【0020】

また転送装置が、ウェイト命令制御手段よりウェイト制御信号が入力された場合に、前記転送装置から記憶装置へのデータ転送を一時停止させるように構成されることが好適である。これにより、転送装置によるパケット処理未完了データへの上書きを防止することができる。

【0021】

また転送装置が、ウェイト命令制御手段より入力されるウェイト制御信号の入力回数をカウントするカウンタと、このカウンタによるカウント値が予め設定した値に達した場合に、前記転送装置から記憶装置へのデータ転送を一時停止させる制御部とを具備することが好適であり、このようなものであると、転送装置によるパケット処理未完了データへの上書きをより柔軟に防止することが可能である。

20

【0022】

また転送装置が、ウェイト命令制御手段よりウェイト制御信号が入力された場合に、C P Uに対して優先レベルの高い割込み要求を出力して、前記C P Uの他のタスクに対するパケット処理の優先度を上げるように構成されていると好適である。

【0023】

また転送装置が、カウンタによるカウント値が予め設定した回数に達した場合に、C P Uに対して優先レベルの高い割込み要求を出力し、前記C P Uの他のタスクに対するパケット処理の優先度を上げるように構成されていることが好適である。このようなものであると、ウェイト命令制御手段からのウェイト制御信号が頻発する場合、すなわちパケット処理のスループットが低下するような場合に、有効に対処することができる。

30

【0024】

また転送装置が、C P Uに割込み要求を出力する際に、アドレス差分算出値に応じた優先レベルの割込み要求を出力するように構成され、またアドレス差分算出値が小さな時ほど優先レベルの高い割込み要求を出力するように構成されて、パケット処理の優先度を上げるように構成されていることが好適である。このようなものであると、C P Uの他のタスクの優先度までをも含めた、より柔軟なパケット処理を実現することができる。

【発明の効果】

【0025】

以上のように、本発明によれば、データに対するパケット変換処理によってプロトコルヘッダおよび、またはプロトコルフッタを付加した際に、プロトコルヘッダおよび、またはプロトコルフッタを含むデータを、パケット変換処理で使用するプロセッサの使用専用のメモリからユーザースペース（例えばアプリケーションプログラムのデータ格納装置）にその都度コピーする必要がなくなり、付加するプロトコルヘッダおよび、またはプロトコルフッタのみを、ユーザースペース上に確保した第一のブランク領域および、または第二のブランク領域にコピーすればよく、その結果として、データに対するパケット変換処理のスループットの向上を図ることができる。

40

【発明を実施するための最良の形態】

【0026】

（第1の実施の形態）

50

以下、本発明の第1の実施の形態のパケット処理方法について、図面を参照しながら説明する。

【0027】

図1は、本発明の実施の形態のパケット処理方法の態様を示す模式図である。ここで、1はパケット処理実施前のデータ、2は記憶装置、200はデータ1を所定の大きさに分割した分割データを格納する分割データ格納領域、201は分割データ格納領域200の各分割データに対応するプロトコルヘッダを格納するためのヘッダ用ブランク領域、202は分割データ格納領域200の各分割データに対応するプロトコルフッタを格納するためのフッタ用ブランク領域、203はパケット処理によって各分割データにプロトコルヘッダおよびプロトコルフッタが付加された状態のパケットである。

10

【0028】

データ1をネットワーク間で通信するための通信プロトコルに適合したパケットに変換する際に、データ1は、まず図1(a)に示すように所定の大きさに分割されて、パケット変換処理の作業用領域となる記憶装置2上に離間配置された、分割データ格納領域200に格納される。このとき、各分割データの大きさと、各分割データに対応する分割データ格納領域200の大きさとは、等しいものとする。記憶装置2における各々の分割データ格納領域200の前方の記憶領域にはヘッダ用ブランク領域201が確保され、また各々の分割データ格納領域200の後方の記憶領域にはフッタ用ブランク領域202が確保される。

20

【0029】

次に、分割データ格納領域200に格納されている各々の分割データにパケット変換処理を行う。パケット変換処理を行うと、分割データには各々に対応するプロトコルヘッダもしくはプロトコルフッタが付加され、パケットへと変換される。このとき、図1(b)に示すように、付加されるプロトコルヘッダはヘッダ用ブランク領域201に格納され、付加されるプロトコルフッタはフッタ用ブランク領域202に格納される。プロトコルヘッダは、ヘッダ用ブランク領域201に格納されるプロトコルヘッダと該当プロトコルヘッダに対応する分割データとの間にブランク領域がないように格納される。また、プロトコルフッタは、フッタ用ブランク領域202に格納されるプロトコルフッタと該当プロトコルフッタに対応する分割データとの間にブランク領域がないように格納される。

30

【0030】

図1(b)において「ヘッダA」「ヘッダB」と表示するように、パケット変換処理において分割データに対して複数のプロトコルヘッダを付加する場合は、パケット変換処理の過程で最初にヘッダ用ブランク領域201に格納されたプロトコルヘッダ(ヘッダA)よりも前方のブランク領域に、以降付加されるプロトコルヘッダ(ヘッダB)を順番に積み上げていく。このとき、各プロトコルヘッダ間にはブランク領域がないように格納される。一方、パケット変換処理において分割データに対して複数のプロトコルフッタを付加する場合は、パケット変換処理の過程で最初にフッタ用ブランク領域202に格納されたプロトコルフッタよりも後方のブランク領域に、以降付加されるプロトコルフッタを順番に格納していく。このとき、各プロトコルフッタ間にはブランク領域がないように格納される。分割データに対するパケット変換処理により、各分割データに対応するすべてのプロトコルヘッダおよびプロトコルフッタが付加されると、図1(b)に示すように記憶装置2上にパケット203が出来上がる。

40

【0031】

以上、本発明のパケット処理方式の実施の形態の概要について説明したが、以下、本発明のパケット処理方式の実施の形態の詳細について、TCP/IPのパケット処理を例として、図面を参照しながら説明する。

【0032】

図2は、本発明の実施の形態におけるイーサネット(登録商標)対応TCP/IPパケット処理方法の態様を示す模式図である。ここで、204は既に分割データが格納されている分割データ格納領域、205はヘッダ用ブランク領域、206はフッタ用ブランク領域

50

域、207はTCPヘッダ、208はヘッダ用ブランク領域、209はIPヘッダ、210はヘッダ用ブランク領域、211はイーサネット（登録商標）ヘッダ、212はCRC、213はパケットである。

【0033】

図2(a)は、イーサネット（登録商標）対応TCP/IPパケット変換処理の作業用領域となる記憶装置上の分割データ格納時の初期状態を示す。各々の分割データ格納領域204の前後には、各々に対応するヘッダ用ブランク領域205とフッタ用ブランク領域206とが確保されている。

【0034】

図2(b)は、イーサネット（登録商標）対応TCP/IPパケット変換処理の過程で、各分割データにTCPヘッダ207が付加された状態を示す。各分割データ格納領域204に対応する同図(a)のヘッダ用ブランク領域205には、分割データ格納領域204の各分割データに対応するTCPヘッダ207が格納される。このとき、各々のヘッダ用ブランク領域205には、TCPヘッダ207の格納領域を除いたヘッダ用ブランク領域208が残る。

【0035】

図2(c)は、イーサネット（登録商標）対応TCP/IPパケット変換処理の過程で、各分割データにIPヘッダ209が付加された状態を示す。各分割データ格納領域204に対応する同図(b)のヘッダ用ブランク領域208には、分割データ格納領域204の各分割データと各TCPヘッダ207に対応するIPヘッダ209が格納される。このとき、各々のヘッダ用ブランク領域208には、IPヘッダ209の格納領域を除いたヘッダ用ブランク領域210が残る。

【0036】

図2(d)は、イーサネット（登録商標）対応TCP/IPパケット変換処理の過程で、各分割データにイーサネット（登録商標）ヘッダ211およびCRC212が付加された状態を示す。各分割データ格納領域204に対応する同図(c)のヘッダ用ブランク領域210には、分割データ格納領域204の各分割データと各TCPヘッダ207と各IPヘッダ209とに対応するイーサネット（登録商標）ヘッダ211が格納される。また、各分割データ格納領域204に対応する同図(a)～(c)のフッタ用ブランク領域206には、分割データ格納領域204の各分割データと各TCPヘッダ207と各IPヘッダ209と各イーサネット（登録商標）ヘッダ211とに対応するCRC212が格納される。以上によって、記憶装置上にパケット213が出来上がる。

【0037】

以上、本発明のパケット処理方法の実施の形態について、TCP/IPのパケット処理を例に説明したが、以下、本発明のパケット変換処理方法を実現するパケット処理装置の実施の形態について、図面を参照しながら説明する。

(第2の実施の形態)

図3は、本発明の第2の実施の形態におけるパケット処理装置の構成を示すブロック図である。ここで、3はCPU、4は記憶装置、5はDMA、6はCPU3が記憶装置4にアクセスする際にアドレスデータの変換を行うアドレス変換器、7はCPU3と記憶装置4とDMA5との間でアドレスデータを転送する双方向アドレスバス、8はCPU3と記憶装置4とDMA5との間でデータを転送する双方向データバス、10はデータバッファを備えネットワークとの接続制御を行うメディアアクセスコントローラ（以下、「MAC」と称する）、11はネットワークとの物理的なインターフェースであるPHY、12はDMA5からデータバス8にデータを転送するデータバス、13はデータバス8からDMA5にデータを転送するデータバス、14はDMA5からアドレスバス7にアドレスデータを転送するアドレスバス、15はアドレスバス7からDMA5にアドレスデータを転送するアドレスバス、16はPHY11を経てMAC10が受信したデータの記憶装置4への転送を指示するためにCPU3からDMA5に出力される受信データ転送要求信号、17は記憶装置4のデータのMAC10への転送を指示するためにCPU3からDMA5に

10

20

20

30

40

50

出力される送信データ転送要求信号、18はデータバス8からCPU3にデータを転送するデータバス、19はCPU3からデータバス8にデータを転送するデータバス、20はCPU3からアドレス変換器6へのアドレスデータを転送するアドレスバス、21はアドレス変換器6からアドレスバス7にアドレス変換器6で変換されたアドレスデータを転送するアドレスバス、22は記憶装置4に対してデータ読出しを指示するためにCPU3から記憶装置4とアドレス変換器6とに出力される読出し要求信号、23は記憶装置4に対してデータ書込みを指示するためにCPU3から記憶装置4とアドレス変換器6に出力される書込み要求信号、24は記憶装置4に対してデータ書込みを指示するためにDMA5から記憶装置4に出力される書込み要求信号、25は記憶装置4に対してデータ読出しを指示するためにDMA5から記憶装置4に出力される読出し要求信号、26はデータバス8から記憶装置4にデータを転送するデータバス、27は記憶装置4からデータバス8にデータを転送するデータバス、28はアドレスバス7から記憶装置4にアドレスデータを転送するアドレスバス、29はDMA5からMAC10にアドレスデータを転送するアドレスバス、30はMAC10からDMA5にネットワークからの受信データを転送する受信用データバス、31はDMA5からMAC10にネットワークへの送信データを転送する送信用データバス、32はMAC10のデータバッファから受信データを読出すためにDMA5からMAC10に出力される読出し要求信号、33はMAC10のデータバッファに対して送信データを格納するためにDMA5からMAC10に出力される書込み要求信号である。 10

【0038】

なお、ここでデータバス12とデータバス13、アドレスバス14とアドレスバス15、データバス18とデータバス19、データバス26とデータバス27、受信用データバス30と送信用データバス31は、各々、双方向バスにて構成してもよい。 20

【0039】

PHY11により受信したデータは、MAC10内に備えられているデータバッファに一時格納される。このデータバッファに一時格納された受信データを記憶装置4に転送するために、CPU3は、DMA5に対して、受信データ転送要求信号16と、記憶装置4のデータ転送先となる先頭のアドレスデータとを出力する。このとき、CPU3が出力するアドレスデータは、アドレスバス20を経由してアドレス変換器6に入力されるが、アドレス変換器6では何も行われずにアドレスバス21に出力され、アドレスバス7とアドレスバス15を経由してDMA5に入力される。アドレス変換器6によるアドレスデータの変換については後述する。DMA5は、受信データ転送要求信号16とアドレスデータとが入力されると、MAC10内に備えられているデータバッファから入力されたアドレスデータの示す記憶装置4の記憶領域に対して、MAC10内のデータバッファに一時格納されている受信データの転送を開始する。このときDMA5は、図2(a)に示すように、データを所定の大きさ毎に分割し、かつ記憶装置4上に、分割したデータの離間配置を行う。 30

【0040】

以下、DMA5によるデータの分割と、分割されたデータの離間配置とについて、図面を参照しながら説明する。 40

図4は、DMA5の構成を示すブロック図である。ここで、500は初期分割データ長レジスタ、501はヘッダ用初期ブランク領域レジスタ、502はフッタ用初期ブランク領域レジスタ、503は受信用データバス30から入力されるデータの転送回数をカウントするカウンタ、504は初期分割データ長レジスタ500の値とカウンタ503の値との大小関係を比較する比較器、505は比較器504の比較結果に応じてアドレスデータに加算を行う加算器、506は図3の記憶装置4のアドレスを指定するためのアドレスデータを格納する記憶装置用アドレスバッファ、507は図3のMAC10内のデータバッファのアドレスを指定するためのアドレスデータを格納するMAC用アドレスバッファ、508は受信用データバス30から入力されるデータを格納する受信データバッファ、509はデータバス13から入力されるデータを格納する送信データバッファ、510は制

御部である。また、511は図3の記憶装置4に配置する分割データ各々の大きさを記憶装置4のアドレス数で示す初期分割データ長情報X、512は記憶装置4に配置するプロトコルヘッダ用の各々のブランク領域の大きさを記憶装置4のアドレス数で示すヘッダ用初期ブランク領域の大きさ情報Y、513は記憶装置4に配置するプロトコルフッタ用の各々のブランク領域の大きさを記憶装置4のアドレス数で示すフッタ用初期ブランク領域の大きさ情報Z、514はカウンタ503のカウント値である転送回数情報、515は比較器504から加算器505に出力される比較結果、516は記憶装置用アドレスバッファ506から加算機505に入力されるアドレスデータ、517は加算器505から記憶装置用アドレスバッファ506に出力されるアドレスデータである。

【0041】

10

初期分割データ長レジスタ500には、図3の記憶装置4にデータを分割配置する際の各分割データの大きさを示す初期分割データ長情報Xが予め格納されている。同様に、ヘッダ用初期ブランク領域レジスタ501には、記憶装置4に配置するプロトコルヘッダ用の各々のブランク領域の大きさを示すヘッダ用初期ブランク領域の大きさ情報Yが予め格納されており、フッタ用初期ブランク領域レジスタ502には、記憶装置4に配置するプロトコルフッタ用の各々のブランク領域の大きさを示すフッタ用初期ブランク領域の大きさ情報Zが予め格納されている。

【0042】

20

CPU3からDMA5に受信データ転送要求信号16とアドレスデータとが入力されると、受信データ転送要求信号16は制御部510に入力され、アドレスデータはアドレスバス15を経由して記憶装置用アドレスバッファ506に格納される。制御部510に受信データ転送要求信号16が入力されると、制御部510はMAC10に対して読み出し要求信号32を出力し、またMAC10のデータバッファの読み出し先となるアドレスデータをアドレスバス29に出力する。なおこのときアドレスバス29に出力されるアドレスデータはMAC用アドレスバッファ507に格納されているアドレスデータであり、MAC用アドレスバッファ507に格納されているアドレスデータは制御部510により逐次更新される。読み出し要求信号32とアドレスバス29のアドレスデータとによって、MAC10のデータバッファに格納されている受信データは、受信用データバス30を経由してDMA5に転送され、受信データバッファ508に格納される。このとき、制御部510はMAC10に対して読み出し要求信号32を連続的に出力し、またMAC用アドレスバッファ507に格納されているアドレスデータをアドレスバス29に連続的に出力することで、MAC10のデータバッファからDMA5へのデータ転送を連続的に行うことができる。

30

【0043】

40

カウンタ503は、受信用データバス30から入力されるデータの転送回数をカウントする。カウンタ503によってカウントされた転送回数情報514は、比較器504に入力される。比較器504は、カウンタ503から入力された転送回数情報514が“転送回数が1回目であることを示す値”のとき、比較結果515としてデータ“00”を加算器505に出力する。カウンタ503から入力された転送回数情報514が“転送回数が2回目以上であることを示す値”のとき、比較器504は、初期分割データ長レジスタ500から読み出した初期分割データ長情報X511と、カウンタ503から入力された転送回数情報514との大小関係を比較し、転送回数情報514によって示される転送済のデータ量が、初期分割データ長情報X511によって示されるデータ量よりも小さい場合には、比較結果515としてデータ“01”を加算器505に出力する。一方、カウンタ503から入力された転送回数情報514が“転送回数が2回目以上であることを示す値”のときにおいて、転送回数情報514によって示される転送済のデータ量が、初期分割データ長情報X511によって示されるデータ量と同じ場合には、比較結果515としてデータ“10”を加算器505に出力する。

【0044】

加算器505は、予め記憶装置用アドレスバッファ506からアドレスデータ516を

50

読み出しており、比較器 504 から入力される比較結果 515 がデータ“00”的場合は、アドレスデータ 516 に対して、ヘッダ用初期ブランク領域レジスタ 501 から読み出したヘッダ用初期ブランク領域の大きさ情報 Y512 を加算し、その加算結果をアドレスデータ 517 として記憶装置用アドレスバッファ 506 に格納する。比較器 504 から入力される比較結果 515 がデータ“01”的場合は、アドレスデータ 516 に対してインクリメントを行い、その結果をアドレスデータ 517 として記憶装置用アドレスバッファ 506 に格納する。一方、比較器 504 から入力される比較結果 515 がデータ“10”的場合は、アドレスデータ 516 に対して、ヘッダ用初期ブランク領域レジスタ 501 から読み出したヘッダ用初期ブランク領域の大きさ情報 Y512 と、フッタ用初期ブランク領域レジスタ 502 から読み出したフッタ用初期ブランク領域の大きさ情報 Z513 とを加算し、その加算結果をアドレスデータ 517 として記憶装置用アドレスバッファ 506 に格納する。
10

【0045】

制御部 510 は、記憶装置用アドレスバッファ 506 がバッファフルになると、この記憶装置用アドレスバッファ 506 に格納されているアドレスデータをアドレスバス 14 に、受信用データバッファ 508 に格納されているデータをデータバス 12 に順次出力し、あわせて記憶装置 4 に対して書き込み要求信号 24 を出力する。このときアドレスバス 14 に出力されるアドレスデータは、アドレスバス 7 とアドレスバス 28 を経由して記憶装置 4 に入力され、またこのときデータバス 12 に出力されるデータは、データバス 8 とデータバス 26 を経由して記憶装置 4 に入力される。なお、ここでは記憶装置用アドレスバッファ 506 がバッファフルになった場合に DMA5 から記憶装置 4 へのデータ転送を開始するが、記憶装置用アドレスバッファ 506 にアドレスデータが 1 つ格納される毎に逐次、DMA5 から記憶装置 4 へのデータ転送を行っても良い。
20

【0046】

以上のように DMA5 は、MAC10 のデータバッファに格納されているデータを、初期分割データ長レジスタ 500 に設定した初期分割データ長情報 X に基づく大きさ毎に分割しながら、かつヘッダ用初期ブランク領域レジスタ 501 に設定したヘッダ用初期ブランク領域の大きさ情報 Y とフッタ用初期ブランク領域レジスタ 502 に設定したフッタ用初期ブランク領域の大きさ情報 Z とにに基づく大きさのブランク領域を確保しながら、記憶装置 4 上に離間配置する。
30

【0047】

以上、DMA5 によるデータの分割と分割データの離間配置について説明したが、以下、記憶装置 4 に離間配置された各々の分割データに対するパケット変換処理について説明する。

【0048】

記憶装置 4 に離間配置された各々の分割データに対するパケット変換処理を行うために、CPU3 は、記憶装置 4 の分割データを読み出す。このとき、CPU3 は記憶装置 4 に離間配置された分割データのみを読み出し、各々の分割データの前後に確保されているヘッダ用ブランク領域とフッタ用ブランク領域にはアクセスしない方が望ましい。また、記憶装置 4 に離間配置された各々の分割データに対するパケット変換処理を行うために、CPU3 は、記憶装置 4 より読み出した分割データに対して、対応するプロトコルヘッダやプロトコルフッタを付加する。このとき、CPU3 は、記憶装置 4 に離間配置されている各々の分割データの前方に確保されているヘッダ用ブランク領域にプロトコルヘッダのみを書き込み、各々の分割データの後方に確保されているフッタ用ブランク領域にプロトコルフッタのみを書き込む必要がある。
40

【0049】

以下、このようなアドレス制御を行う手段であるアドレス変換器 6 について図面を参照しながら説明する。

図 5 は、アドレス変換器 6 の構成を示すブロック図である。ここで、600 はアドレスレジスタ 601 は CPU3 が記憶装置 4 に対して出力する読み出し要求信号 22 の回数を
50

カウントする読み出し回数カウンタ、602はCPU3が記憶装置4に対して出力する書き込み要求信号23の回数をカウントする書き込み回数カウンタ、603は読み出し用アドレス制御部、604は書き込み用アドレス制御部、605は読み出し用アドレス制御部603および書き込み用アドレス制御部604からの入力に応じてアドレスレジスタ600の値に加算を行うアドレス加算器、606は分割データに対してプロトコルヘッダやプロトコルフッタが付加される度に逐次更新される分割データ長レジスタ、607は分割データに対してプロトコルヘッダが付加される度に逐次更新されるヘッダ用ブランク領域レジスタ、608は分割データに対してプロトコルフッタが付加される度に逐次更新されるフッタ用ブランク領域レジスタ、609は付加ヘッダのアドレスオフセット情報を格納するヘッダオフセットレジスタ、610は付加フッタのアドレスオフセット情報を格納するフッタオフセットレジスタである。また、611は任意の時点での各分割データの大きさを記憶装置4のアドレス数で示す分割データ長情報X'、612は任意の時点での各ヘッダ用ブランク領域の大きさを記憶装置4のアドレス数で示すヘッダ用ブランク領域の大きさ情報Y'、613は任意の時点での各フッタ用ブランク領域の大きさを記憶装置4のアドレス数で示すフッタ用ブランク領域の大きさ情報Z'、614は任意の時点での各分割データの大きさを記憶装置4のアドレス数で示す分割データ長情報X'（611と同じもの）、615は任意の時点での各ヘッダ用ブランク領域の大きさを記憶装置4のアドレス数で示すヘッダ用ブランク領域の大きさ情報Y'（612と同じもの）、616は任意の時点での各フッタ用ブランク領域の大きさを記憶装置4のアドレス数で示すフッタ用ブランク領域の大きさ情報Z'（613と同じもの）、617は付加ヘッダのアドレスオフセット情報Hoff、618は付加フッタのアドレスオフセット情報Foff、619は読み出し用加算値情報、620は書き込み用加算値情報である。

【0050】

なお、分割データ長レジスタ606には任意の時点での各分割データの大きさを記憶装置4のアドレス数で示す分割データ長情報X'が格納されており、分割データ長情報X'の初期値は初期分割データ長情報Xである。また、ヘッダ用ブランク領域レジスタ607には任意の時点での各ヘッダ用ブランク領域の大きさを記憶装置4のアドレス数で示すヘッダ用ブランク領域の大きさ情報Y'が格納されており、ヘッダ用ブランク領域の大きさ情報Y'の初期値はヘッダ用初期ブランク領域の大きさ情報Yである。また、フッタ用ブランク領域レジスタ608には任意の時点での各フッタ用ブランク領域の大きさを記憶装置4のアドレス数で示すフッタ用ブランク領域の大きさ情報Z'が格納されており、フッタ用ブランク領域の大きさ情報Z'の初期値はフッタ用初期ブランク領域の大きさ情報Zである。

【0051】

また、ヘッダオフセットレジスタ609には付加するプロトコルヘッダの大きさを記憶装置4のアドレス数で示す付加ヘッダのアドレスオフセット情報Hoffを、付加するプロトコルヘッダに応じてその都度格納し、フッタオフセットレジスタ610には付加するプロトコルフッタの大きさを記憶装置4のアドレス数で示す付加フッタのアドレスオフセット情報Foffを、付加するプロトコルフッタに応じてその都度格納する。付加ヘッダのアドレスオフセット情報Hoffと付加フッタのアドレスオフセット情報Foffとは、処理するプロトコルに応じてプロトコル毎に予め設定しておいてもよいし、実際に付加するプロトコルヘッダとプロトコルフッタの大きさを示すアドレス数を適時カウントするアドレス数カウンタを別途設け、アドレス数カウンタのカウント値を付加ヘッダのアドレスオフセット情報Hoffもしくは付加フッタのアドレスオフセット情報Foffとしてもよい。

【0052】

次に、上記構成のアドレス変換器6の動作について説明する。まず、記憶装置4に離間配置された各々の分割データに対するパケット変換処理を行うため、CPU3は、記憶装置4の分割データを読み出す。このとき、CPU3は、記憶装置4の読み出し先の先頭を示すアドレスデータとして、DMA5による記憶装置4へのデータ転送時にデータ転送先と

なる先頭アドレスデータとして、DMA5に指定したアドレスデータと同じアドレスデータを出力するようとする。CPU3が出力する記憶装置4の読み出し先を示すアドレスデータは、アドレスバス20を介してアドレス変換器6に入力され、アドレスレジスタ600に格納される。また、CPU3が記憶装置4に対して出力する読み出し要求信号22は、アドレス変換器6にも入力される。読み出し回数カウンタ601は、アドレス変換器6に入力される読み出し要求信号22をカウントし、カウント値を読み出し用アドレス制御部603に出力する。読み出し用アドレス制御部603は、予め、分割データ長レジスタ606とヘッダ用ブランク領域レジスタ607とフッタ用ブランク領域レジスタ608とから、各々、分割データ長情報X'611と、ヘッダ用ブランク領域の大きさ情報Y'612と、フッタ用ブランク領域の大きさ情報Z'613とを読み出しておく。

10

【0053】

読み出し用アドレス制御部603は、読み出し回数カウンタ601から入力されるカウント値が分割データ長情報X'611の示す値よりも小さい値のときは、ヘッダ用ブランク領域の大きさ情報Y'612を読み出し用加算値情報619として加算器605に出力する。

【0054】

また読み出し用アドレス制御部603は、読み出し回数カウンタ601から入力されるカウント値が分割データ長情報X'611の示す値と同じ値のとき、ヘッダ用ブランク領域の大きさ情報Y'612とフッタ用ブランク領域の大きさ情報Z'613との和に、さらにヘッダ用ブランク領域の大きさ情報Y'612を加算した値を、読み出し用加算値情報619として加算器605に出力し、同時に読み出し回数カウンタ601を初期化する。

20

【0055】

CPU3から記憶装置4に対して連続的に読み出しが実行される場合の読み出し用加算値情報619は、以下のように定義する。

読み出し用加算値情報619 =

[読み出し回数カウンタ601の初期化回数] × {Y' + Z'} + Y'

加算器605は、アドレスレジスタ600に格納されているアドレスデータに読み出し用アドレス制御部603から入力された読み出し用加算値情報619を加算し、その結果を、変換後のアドレスデータとしてアドレスバス21に出力する。アドレスバス21に出力された読み出し先アドレスデータは、アドレスバス7とアドレスバス28を経由して記憶装置4に入力される。記憶装置4は、CPU3から出力される読み出し要求信号22と上記のアドレスデータとを受け取ると、アドレスデータに対応するアドレスのデータをデータバス27に出力する。データバス27に出力されたデータは、データバス8とデータバス18とを経由してCPU3へと転送され、CPU3によってパケット変換処理が実行される。

30

【0056】

以上、CPU3が記憶装置4から離間配置された分割データを読み出すときのアドレス変換器6の動作について説明したが、以下、CPU3から記憶装置4のヘッダ用ブランク領域とフッタ用ブランク領域とに対してプロトコルヘッダとプロトコルフッタとを書き込むときの動作について説明する。

【0057】

このときCPU3は、記憶装置4に書き込むプロトコルヘッダもしくはプロトコルフッタのデータを、データバス19に出力する。またCPU3は、記憶装置4の書き込み先の先頭を示すアドレスデータとして、DMA5による記憶装置4へのデータ転送時にデータ転送先となる先頭アドレスデータとして、DMA5に指定したアドレスデータと同じアドレスデータを出力する。このようにCPU3が出力する記憶装置4の書き込み先を示すアドレスデータは、アドレスバス20を介してアドレス変換器6に入力され、アドレスレジスタ600に格納される。また、CPU3が記憶装置4に対して出力する書き込み要求信号23は、アドレス変換器6にも入力される。書き込み回数カウンタ602は、アドレス変換器6に入力される書き込み要求信号23をカウントし、カウント値を書き込み用アドレス制御部604に出力する。書き込み用アドレス制御部604は、予め、分割データ長レジスタ606

40

50

とヘッダ用ブランク領域レジスタ607とフッタ用ブランク領域レジスタ608とヘッダオフセットレジスタ609とフッタオフセットレジスタ610とから各々、分割データ長情報X'614と、ヘッダ用ブランク領域の大きさ情報Y'615と、フッタ用ブランク領域の大きさ情報Z'616と、付加ヘッダのアドレスオフセット情報Hoff617と、付加フッタのアドレスオフセット情報Foff618とを読み出しておく。

【0058】

プロトコルヘッダを書き込む場合に、書き込み用アドレス制御部604は、書き込み回数カウンタ602から入力されるカウント値が付加ヘッダのアドレスオフセット情報Hoff617の示す値よりも小さい値のときは、ヘッダ用ブランク領域の大きさ情報Y'615から付加ヘッダのアドレスオフセット情報Hoff617を減算した値を、書き込み用加算値情報620として、加算器605に出力する。また書き込み用アドレス制御部604は、書き込み回数カウンタ602から入力されるカウント値が付加ヘッダのアドレスオフセット情報Hoff617の示す値と同じ値のときは、分割データ長情報X'614とヘッダ用ブランク領域の大きさ情報Y'615とフッタ用ブランク領域の大きさ情報Z'616との和に対して、さらにヘッダ用ブランク領域の大きさ情報Y'615から付加ヘッダのアドレスオフセット情報Hoff617を減算した値を加算した値を、書き込み用加算値情報620として加算器605に出力し、同時に書き込み回数カウンタ602を初期化する。

【0059】

CPU3から記憶装置4に対して連続的にプロトコルヘッダの書き込みが実行される場合の書き込み用加算値情報620を、以下のように定義する。

ヘッダ書き込み時の書き込み用加算値情報620 =

$$[\text{書き込み回数カウンタ}602 \text{の初期化回数}] \times \{X' + Y' + Z'\} \\ + Y' - Hoff$$

プロトコルフッタを書き込む場合に、書き込み用アドレス制御部604は、書き込み回数カウンタ602から入力されるカウント値が付加フッタのアドレスオフセット情報Foff618の示す値よりも小さい値のときは、分割データ長情報X'614とヘッダ用ブランク領域の大きさ情報Y'615との和を、書き込み用加算値情報620として加算器605に出力する。また書き込み用アドレス制御部604は、書き込み回数カウンタ602から入力されるカウント値が付加フッタのアドレスオフセット情報Foff617の示す値と同じ値のときは、分割データ長情報X'614とヘッダ用ブランク領域の大きさ情報Y'615とフッタ用ブランク領域の大きさ情報Z'616との和から付加フッタのアドレスオフセット情報Foff617の値を減算した値に対して、分割データ長情報X'614とヘッダ用ブランク領域の大きさ情報Y'615との和を加算した値を、書き込み用加算値情報620として加算器605に出力し、同時に、書き込み回数カウンタ602を初期化する。

【0060】

CPU3から記憶装置4に対して連続的にプロトコルフッタの書き込みが実行される場合の書き込み用加算値情報620を、以下のように定義する。

フッタ書き込み時の書き込み用加算値情報620 =

$$[\text{書き込み回数カウンタ}602 \text{の初期化回数}] \\ \times \{X' + Y' + Z' - Hoff\} + X' + Y'$$

加算器605は、アドレスレジスタ600に格納されているアドレスデータに書き込み用アドレス制御部604から入力された書き込み用加算値情報620を加算し、その結果を、変換後のアドレスデータとしてアドレスバス21に出力する。アドレスバス21に出力された書き込み先アドレスデータは、アドレスバス7とアドレスバス28を経由して記憶装置4に入力される。記憶装置4は、CPU3から出力される書き込み要求信号23と書き込みデータとアドレスデータとを受け取ると、アドレスデータに対応するアドレスに対して、データバス19とデータバス8とを経由してデータバス26より入力されるデータを書き込む。

(第3の実施の形態)

図6は、本発明の第3の実施の形態のパケット処理装置の構成を示すブロック図である

10

20

30

40

50

。以下において、図3に示したものと同一のものには、同一の参照番号を付して説明する。ここで、9はDMAであり、その詳細は後述する。この図6のパケット処理装置においては、図3のパケット処理装置に比べて、アドレス変換器6が省略されているとともに、ウェイト制御部37と、処理済アドレスレジスタ34とが設けられている点で相違する。

【0061】

すなわち、3はCPU、9はDMA、4は記憶装置、7はCPU3と記憶装置4とDMA9との間でアドレスデータを転送する双方向アドレスバス、8はCPU3と記憶装置4とDMA9との間でデータを転送する双方向データバス、10はデータバッファを備えネットワークとの接続制御を行うMAC、11はネットワークとの物理的なインターフェースであるPHY、12はDMA9からデータバス8にデータを転送するデータバス、13はデータバス8からDMA9にデータを転送するデータバス、14はDMA9からアドレスバス7にアドレスデータを転送するアドレスバス、15はアドレスバス7からDMA9にアドレスデータを転送するアドレスバス、16はPHY11を経てMAC10が受信したデータの記憶装置4への転送を指示するためにCPU3からDMA9に出力される受信データ転送要求信号、17は記憶装置4のデータのMAC10への転送を指示するためにCPU3からDMA9に出力される送信データ転送要求信号、18はデータバス8からCPU3にデータを転送するデータバス、19はCPU3からデータバス8にデータを転送するデータバスである。

【0062】

215はCPU3からアドレスバス7にアドレスデータを転送するアドレスバス、22は記憶装置4に対してデータ読み出しを指示するためにCPU3から記憶装置4に出力される読み出し要求信号、23は記憶装置4に対してデータ書き込みを指示するためにCPU3から記憶装置4に出力される書き込み要求信号、24は記憶装置4に対してデータ書き込みを指示するためにDMA9から記憶装置4に出力される書き込み要求信号、25は記憶装置4に対してデータ読み出しを指示するためにDMA9から記憶装置4に出力される読み出し要求信号、26はデータバス8から記憶装置4にデータを転送するデータバス、27は記憶装置4からデータバス8にデータを転送するデータバス、28はアドレスバス7から記憶装置4にアドレスデータを転送するアドレスバス、29はDMA9からMAC10にアドレスデータを転送するアドレスバス、45はMAC10からDMA9にネットワークからの受信データを転送する受信用データバス、31はDMA9からMAC10にネットワークへの送信データを転送する送信用データバス、32はMAC10のデータバッファから受信データを読み出すためにDMA9からMAC10に出力される読み出し要求信号、33はMAC10のデータバッファに対して送信データを格納するためにDMA9からMAC10に出力される書き込み要求信号である。

【0063】

処理済アドレスレジスタ34には、記憶装置4上でパケット処理が完了しているデータが格納されている記憶領域の最終アドレスが格納される。35は、CPU3から処理済アドレスレジスタ34に出力される処理済アドレス更新命令である。ウェイト制御部37は、DMA9から記憶装置4にデータを転送するときの転送先アドレスデータ38と、処理済アドレスレジスタ34に格納されている処理済アドレスデータ39とに基づき、DMA9に対してウェイト命令41を出力する。ウェイト制御部37の動作については後述する。

【0064】

なお、ここで、データバス12とデータバス13、アドレスバス14とアドレスバス15、データバス18とデータバス19、データバス26とデータバス27、受信用データバス45と送信用データバス31は、各々、双方向バスにて構成してもよい。

【0065】

このような構成において、PHY11により受信したデータは、MAC10内に備えられているデータバッファに一時格納される。このデータバッファに一時格納された受信データを記憶装置4に転送させるために、CPU3は、DMA9に対して、受信データ転送

10

20

30

40

50

要求信号 16 と、記憶装置 4 におけるデータ転送先となる先頭のアドレスデータとを出力する。このとき、CPU 3 が output するアドレスデータは、アドレスバス 215 とアドレスバス 7 とアドレスバス 15 とを経由して DMA 9 に入力される。DMA 9 は、受信データ転送要求信号 16 とアドレスデータとが入力されると、MAC 10 内に備えられているデータバッファから入力されたアドレスデータの示す記憶装置 4 の記憶領域に対して、MAC 10 内のデータバッファに一時格納されている受信データの転送を開始する。このとき DMA 9 は、記憶装置 4 上の転送先アドレスを一定領域内で無限にループさせる。

【0066】

以下、DMA 9 による転送先アドレスを一定領域内で無限にループさせる機能について、図面を参照しながら説明する。

図 7 は、DMA 9 の構成を示すブロック図である。ここで、900 は転送回数設定レジスタ、901 は受信用データバス 45 から入力されるデータの転送回数をカウントするカウンタ、902 は転送回数設定レジスタ 900 の値とカウンタ 901 の値との大小関係を比較する比較器、903 は比較器 902 の比較結果に応じてアドレスデータに加算を行う加算器、904 は図 6 の記憶装置 4 のアドレスを指定するためのアドレスデータを格納する記憶装置用アドレスバッファ、905 は図 6 の MAC 10 内のデータバッファのアドレスを指定するためのアドレスデータを格納する MAC 用アドレスバッファ、906 は受信用データバス 45 から入力されるデータを格納する受信データバッファ、907 はデータバス 13 から入力されるデータを格納する送信データバッファ、908 は制御部である。また、909 は転送回数情報、910 はカウンタ 901 のカウント値、911 は比較器 902 から加算器 903 と制御部 908 に出力される比較結果、912 は記憶装置用アドレスバッファ 904 から加算機 903 に入力されるアドレスデータ、913 は加算器 903 から記憶装置用アドレスバッファ 904 に出力されるアドレスデータ、914 はアドレス初期化情報レジスタ、915 は DMA 9 から記憶装置 4 へのデータ転送回数をカウントするアドレス初期化用カウンタ、916 は初期化アドレスレジスタ、917 はアドレス初期化のための制御を行うアドレス初期化用制御部、918 はアドレス初期化情報、919 はアドレス初期化用カウンタ 915 のカウント値、920 は、初期化アドレスレジスタ 916 が格納しているアドレスデータを記憶装置用アドレスバッファ 904 に転送するために、アドレス初期化用制御部 917 から初期化アドレスレジスタ 916 に出力される転送命令、921 は初期化アドレスレジスタ 916 から記憶装置用アドレスバッファ 904 に出力される初期化アドレスデータである。

【0067】

転送回数設定レジスタ 900 には、DMA 9 から記憶装置 4 へのデータ転送を何アドレス分連続で行うかを示す転送回数情報が格納されている。

CPU 3 から DMA 9 に受信データ転送要求信号 16 とアドレスデータとが入力されると、受信データ転送要求信号 16 は制御部 908 に入力され、アドレスデータはアドレスバス 15 を経由して記憶装置用アドレスバッファ 904 に格納される。制御部 908 に受信データ転送要求信号 16 が入力されると、制御部 908 は MAC 10 に対して読み出し要求信号 32 を出力し、また MAC 10 のデータバッファの読み出し先となるアドレスデータをアドレスバス 29 に出力する。なおこのときアドレスバス 29 に出力されるアドレスデータは MAC 用アドレスバッファ 905 に格納されているアドレスデータであり、MAC 用アドレスバッファ 905 に格納されているアドレスデータは制御部 908 により逐次更新される。読み出し要求信号 32 とアドレスバス 29 のアドレスデータとによって、MAC 10 のデータバッファに格納されている受信データは、受信用データバス 45 を経由して DMA 9 に転送され、受信データバッファ 906 に格納される。このとき、制御部 908 は MAC 10 に対して読み出し要求信号 32 を連続的に出力し、また MAC 用アドレスバッファ 905 に格納されているアドレスデータをアドレスバス 29 に連続的に出力することで、MAC 10 のデータバッファから DMA 9 へのデータ転送を連続的に行うことができる。

【0068】

10

20

30

40

50

カウンタ901は、受信用データバス45から入力されるデータの転送回数をカウントする。カウンタ901のカウント値910は、比較器902に入力される。比較器902は、転送回数設定レジスタ900から入力される転送回数情報909とカウンタ901から入力されるカウント値910との大小関係を比較し、比較結果911を加算器903と制御部908に出力する。加算器903は、カウント値910が転送回数情報909以下であることを示す比較結果911が入力された場合は、記憶装置用アドレスバッファ904より読み出したアドレスデータ912をインクリメントし、これをアドレスデータ913として記憶装置用アドレスバッファ904に格納する。また、制御部908は、カウント値910が転送回数情報909以下であることを示す比較結果911が入力された場合はデータ転送制御を継続し、カウント値910が転送回数情報909より大きいことを示す比較結果911が入力された場合はデータ転送制御を終了する。また、制御部908は、記憶装置用アドレスバッファ904がバッファフルになると、この記憶装置用アドレスバッファ904に格納されているアドレスデータをアドレスバス14に出力するとともに、受信用データバッファ906に格納されているデータをデータバス12に順次出力し、あわせて記憶装置4とアドレス初期化用カウンタ915に対して書き込み要求信号240を出力する。このときアドレスバス14に出力されるアドレスデータは、アドレスバス7とアドレスバス28とを経由して記憶装置4に入力され、またこのときデータバス12に出力されるデータは、データバス8とデータバス26とを経由して記憶装置4に入力される。

10

【0069】

20

なお、ここでは記憶装置用アドレスバッファ904がバッファフルになった場合にDMA9から記憶装置4へのデータ転送を開始するが、記憶装置用アドレスバッファ904にアドレスデータが1つ格納される毎に逐次、DMA9から記憶装置400へのデータ転送を行っても良い。

【0070】

次に、DMA9が記憶装置4にデータを転送する際に転送先アドレスを一定領域内で無限にループさせる機能について説明する。

アドレス初期化情報レジスタ914には、DMA9から記憶装置4に対して何回すなわち何アドレス分データを転送したら転送先アドレスを初期化するかを示すアドレス初期化情報が予め格納されている。

30

【0071】

CPU3からDMA9に入力されるアドレスデータは、アドレスバス15を介して初期化アドレスレジスタ916にも格納される。また、DMA9から記憶装置4にデータを転送するために出力される書き込み要求信号24は、アドレス初期化用カウンタ915にも入力される。アドレス初期化用カウンタ915は、書き込み要求信号24の入力回数すなわちDMA9から記憶装置4へのデータ転送回数をカウントする。アドレス初期化用制御部917は、アドレス初期化情報レジスタ914とアドレス初期化用カウンタ915から、アドレス初期化情報918とカウント値919とを逐次読み出して大小関係を比較し、カウント値919がアドレス初期化情報918以上の場合に、初期化アドレスレジスタ916に対して転送命令920を出力し、初期化アドレスデータ921を記憶装置用アドレスバッファ904に転送する。この結果、記憶装置用アドレスバッファ904に初期のアドレスデータが格納され、DMA9が記憶装置4にデータを転送する際に転送先アドレスを一定領域内で無限にループさせる機能を実現する。

40

【0072】

以上、DMA9が記憶装置4にデータを転送する際に転送先アドレスを一定領域内で無限にループさせる機能について説明したが、以下、アドレスの無限ループ時に、記憶装置4上のパケット処理未完了の領域に対するデータの上書きを防止するための機能について、ウェイト制御部37の動作も踏まえて説明する。

【0073】

図6の加算器アドレスレジスタ34には、CPU3によるパケット処理が完了している

50

領域の最終アドレスのアドレスデータが格納されており、このアドレスデータは、C P U 3より出力される処理済アドレス更新命令35により逐次更新される。また、ウェイト制御部37には、DMA9から記憶装置4にデータを転送するときの転送先アドレスデータ38がアドレスバス7より入力される。

【0074】

ウェイト制御部37は、処理済アドレスレジスタ34から処理済アドレスデータ39を読み出し、処理済アドレスデータ39と転送先アドレスデータ38とのアドレスの差分を算出し、算出したアドレス差分値が所定の値以下の場合に、DMA9に対してウェイト命令41を出力する。

【0075】

図7に示すDMA9において、ウェイト制御部37から出力されたウェイト命令41は制御部908に入力され、制御部908はウェイト命令41を受け取ると、直ちにDMA9によるデータの転送処理を一時待機させる。一時待機させる期間は、予め設定した一定の時間でもよいし、またはウェイト命令41が入力される期間であっても構わない。これにより、記憶装置4上のパケット処理未完了の領域に対するデータの上書きを防止することができる。

【0076】

なお、ここで、DMA9は図8に示す構成であっても構わない。

図8において、931はウェイト制御部37からDMA9に入力されるウェイト命令41の入力回数をカウントするウェイト制御カウンタ、932はウェイト制御レジスタ、9080は制御部、933はウェイト制御カウンタ931のカウント値、934はウェイト制御レジスタ932に予め格納されているウェイト制御情報である。このウェイト制御情報934は、DMA9に対するウェイト命令41の入力回数が何回に達したら、DMA9によるデータの転送処理を一時待機させるかを示すものである。制御部9080は、図7に示す制御部908の機能を強化させて、DMA9によるデータの転送処理を一定時間待機させるようにしたものである。それ以外の機能は、制御部908と同じである。

【0077】

図8に示すDMA9にウェイト命令41が入力されると、ウェイト制御カウンタ931によりウェイト命令41の入力回数がカウントされ、カウントの結果はカウント値933として制御部9080に出力される。制御部9080は、ウェイト制御レジスタ932よりウェイト制御情報934を読み出して、カウント値933とウェイト制御情報934との大小関係を比較し、カウント値933がウェイト制御情報934以上であった場合に、DMA9によるデータの転送処理を一時待機させる。一時待機させる期間は、予め設定した一定の時間でもよいし、またはウェイト命令41が入力される期間であっても構わない。これにより、記憶装置4上のパケット処理未完了の領域に対するデータの上書きを防止することができる。

(第4の実施の形態)

図9は、本発明の第4の実施の形態におけるパケット処理装置の構成を示すブロック図である。

【0078】

ここで、36はウェイト制御レジスタ、40はウェイト制御レジスタ36に格納されているアドレス差分情報、370はウェイト制御部である。ウェイト制御部370は、DMA9から記憶装置4にデータを転送するときの転送先アドレスデータ38と、処理済アドレスレジスタ34に格納されている処理済アドレスデータ39と、ウェイト制御レジスタ36に格納されているアドレス差分情報40とに基づき、DMA9に対してウェイト命令41を出力する。

この第4の実施の形態におけるパケット処理装置は、図6に示す第3の実施の形態のパケット処理装置におけるウェイト制御部37の構成を換えたものであり、ウェイト制御部370とウェイト制御レジスタ36とアドレス差分情報40以外の構成要素は、図6に示すものと同じである。また、図9のDMA9は、図7もしくは図8のいずれの構成であつ

10

20

30

40

50

ても構わない。

【0079】

図9のウェイト制御レジスタ36には、記憶装置4上でCPU3によるパケット処理が完了している領域の最終アドレスと、DMA9から記憶装置4に対してデータを転送する際の転送先アドレスとのアドレス間隔がどこまで狭まつたら、DMA9に対してウェイトを持たせるかを示すためのアドレス差分情報が予め格納されている。

【0080】

ウェイト制御部370は、処理済アドレスレジスタ34とウェイト制御レジスタ36から処理済アドレスデータ39とアドレス差分情報40とを読み出し、まず処理済アドレスデータ39と転送先アドレスデータ38とのアドレスの差分を算出する。次に、算出したアドレス差分値とアドレス差分情報40との大小関係を比較し、算出したアドレス差分値がアドレス差分情報40以下の場合に、DMA9に対してウェイト命令41を出力する。

10

【0081】

DMA9は、ウェイト制御部370からウェイト命令41を入力されると、データの転送処理を一定時間待機させる。これにより、記憶装置4上のパケット処理未完了の領域に対するデータの上書きを防止することができる。

(第5の実施の形態)

図10は、本発明の第5の実施の形態のパケット処理装置の構成を示すブロック図である。

【0082】

20

ここで、3はCPU、91はDMA、43はDMA91からCPU3に対して出力される割込み要求信号である。

この本発明の第4の実施の形態のパケット処理装置は、図9に示す第4の実施の形態のパケット処理装置におけるCPU3とDMA91との機能を変えたものであり、CPU3はDMA91からの割込み要求信号43を受け付ける機能を有し、またDMA91はCPU3に対する割込み制御を行う。それ以外の構成要素は、図9に示すものと同じである。

【0083】

以下、DMA91について、図面を参照しながら説明する。

図11は、図10に示したDMA91の構成を示すブロック図である。ここで、926は割込み制御部である。

30

【0084】

図10のウェイト制御部370よりDMA91に対してウェイト命令41が入力されると、このウェイト命令41は制御部908と割込み制御部926とに入力される。

制御部908は、ウェイト命令41を受け取ると、直ちにDMA91によるデータの転送処理を一定時間待機させる。一方、割込み制御部926は、ウェイト命令41を受け取ると、直ちにCPU3に対して常に一定の優先度レベルの割込み要求信号43を出力する。これにより、DMA91へのウェイト命令41が発生した場合に、DMA91から記憶装置4に対するデータ転送を一時停止させるだけでなく、CPU3のパケット処理以外のタスクに対するパケット処理の優先度を向上させ、スループットの低下を防止することができる。

40

【0085】

なお、ここで、DMA91は、図12に示す構成であっても構わない。

図12において、926は割込み制御部である。922はウェイト命令カウンタで、図10のウェイト制御部370からDMA91に入力されるウェイト命令41の入力回数をカウントする。923は割込み制御レジスタ、927はウェイト命令カウンタ922のカウント値、928は割込み制御情報である。

【0086】

割込み制御レジスタ923には、ウェイト命令41が何回入力された場合にCPU3への割込み要求を発生させるかを示す割込み制御情報が予め格納されている。

12において、図10のウェイト制御部370よりDMA91に対してウェイト命令4

50

1が入力されると、このウェイト命令41は制御部908とウェイト命令カウンタ922に入力される。制御部908は、ウェイト命令41を受け取ると、直ちにDMA91によるデータの転送処理を一定時間待機させる。一方、ウェイト命令カウンタ922は、ウェイト命令41の入力回数をカウントし、カウント値927を割込み制御部926に出力する。割込み制御部926は、割込み制御レジスタ923より割込み制御情報928を読み出し、カウント値927と割込み制御情報928との大小関係を比較する。比較の結果、カウント値927が割込み制御情報928以上であった場合は、CPU3に対して常に一定の優先度レベルの割込み要求信号43を出力する。これにより、CPU3のパケット処理以外のタスクに対するパケット処理の優先度を向上させ、スループットの低下を防止するだけでなく、DMA91へのウェイト命令41の頻発の度合いに応じて、より柔軟にCPU3に対する割込み要求が可能となる。

10

(第6の実施の形態)

図13は、本発明の第6の実施の形態におけるパケット処理装置の構成を示すブロック図である。

【0087】

ここで、370はウェイト制御部、92はDMA、42はウェイト制御部370からDMA92に対して出力するアドレス差分情報である。

この第6の実施の形態のパケット処理装置は、図10に示す第5の実施の形態のパケット処理装置におけるウェイト制御部370とDMA92との機能を変えたものであり、ウェイト制御部370はDMA92に対してアドレス差分情報42を出力する機能を有し、またDMA92はCPU3に対する割込み制御においてアドレス差分情報42に応じて優先度レベルを任意に変えることができる機能を有する。それ以外は、図10に示すものと同じである。

20

【0088】

図13に示すウェイト制御部370は、処理済アドレスレジスタ34とウェイト制御レジスタ36から処理済アドレスデータ39とアドレス差分情報40とを読み出し、まず処理済アドレスデータ39と転送先アドレスデータ38とのアドレスの差分を算出する。次に、算出したアドレス差分値とアドレス差分情報40との大小関係を比較し、算出したアドレス差分値がアドレス差分情報40以下の場合に、DMA92に対してウェイト命令41を出力する。また、ウェイト制御部370は、このときに、算出したアドレス差分値をアドレス差分情報42としてDMA92に出力する。

30

【0089】

図14は、図13に示したDMA92の構成を示すブロック図である。ここで、926は割込み制御部、924は割込みレベル制御レジスタ、925はアドレス差分情報レジスタ、929は割込みレベル制御情報、930はアドレス差分情報である。

【0090】

割込みレベル制御レジスタ924には、アドレス差分情報930に応じた割込みの優先度レベルを設定するための割込みレベル制御情報が予め格納されている。この割込みレベル制御情報は、例えばアドレス差分情報がAの場合は割込みの優先度レベルは1、アドレス差分情報がBの場合は割込みの優先度レベルは2、アドレス差分情報がCの場合は割込みの優先度レベルは3といった具合に、アドレス差分情報に対して、割込みの優先度レベルを関連付けるための情報である。

40

【0091】

図14に示すDMA92において、図13のウェイト制御部370より入力されたウェイト命令41は、制御部908のみでなく、割込み制御部926にも入力される。一方、ウェイト制御部370より入力されたアドレス差分情報42は、アドレス差分情報レジスタ925に格納される。割込み制御部926は、ウェイト命令41を受け取ると、割込みレベル制御レジスタ924とアドレス差分情報レジスタ925から割込みレベル制御情報929とアドレス差分情報930を読み出す。次に、割込み制御部926は、割込みレベル制御情報929を参照しながら、読み出したアドレス差分情報930に対して関連付け

50

される割込みレベルを検出し、検出結果に応じた優先度レベルを持つ割込み要求信号を、割込み要求信号43として、CPU3に出力する。これにより、DMA92へのウェイト命令41が発生する場合に、CPU3に対してそのときのアドレス差分に応じた優先度レベルの割込み要求が可能となり、アドレス差分が小さい時ほど高い優先度レベルの割込み要求信号を出力するといった具合に、CPU3のパケット処理以外のタスクに対するパケット処理の優先度を柔軟に向上させることができる。

【0092】

なお、ここで、DMA92は、図15に示す構成であっても構わない。図15において、図13のウェイト制御部370から出力されたウェイト命令41はウェイト命令カウンタ922に入力され、また、ウェイト制御部370から出力されたアドレス差分情報42はアドレス差分情報レジスタ925に格納される。ウェイト命令カウンタ922はウェイト命令41の入力回数をカウントし、カウント値927を割込み制御部926に出力する。割込み制御部926は、まず割込み制御レジスタ923より割込み制御情報928を読み出し、カウント値927と割込み制御情報928との大小関係を比較する。比較の結果、カウント値927が割込み制御情報928以上であった場合は、CPU3のパケット処理以外のタスクに対するパケット処理の優先度を上げる必要があることを意味する。割込み制御部926は、カウント値927が割込み制御情報928以上であった場合は、割込みレベル制御レジスタ924とアドレス差分情報レジスタ925から割込みレベル制御情報929とアドレス差分情報930を読み出す。次に、割込み制御部926は、割込みレベル制御情報929を参照しながら、読み出したアドレス差分情報930に対して関連付けされる割込みレベルを検出し、検出結果に応じた優先度レベルを持つ割込み要求信号43をCPU3に出力する。これにより、DMA92へのウェイト命令41が頻発する場合に、CPU3に対してウェイト命令41の頻発の度合いとそのときのアドレス差分に応じた優先度レベルの割込み要求が可能となり、アドレス差分が小さい時ほど高い優先度レベルの割込み要求信号を出力するといった具合に、CPU3のパケット処理以外のタスクに対するパケット処理の優先度をより柔軟に向上させることができる。

【産業上の利用可能性】

【0093】

本発明にかかるパケット処理方法および装置は、データに対するパケット変換処理によってプロトコルヘッダおよび、またはプロトコルフッタを付加した際に、プロトコルヘッダおよび、またはプロトコルフッタを含むデータを、パケット変換処理で使用するプロセッサの使用専用のメモリからユーザースペース（例えばアプリケーションプログラムのデータ格納装置）にその都度コピーする必要がなくなり、付加するプロトコルヘッダおよび、またはプロトコルフッタのみを、ユーザースペース上に確保した第一のブランク領域および、または第二のブランク領域にコピーすればよく、その結果として、データに対するパケット変換処理のスループットの向上を図ることができ、データをネットワーク間で通信するための通信プロトコルに適合したパケットに変換する際のパケット処理方法および装置等として有用である。

【図面の簡単な説明】

【0094】

【図1】本発明の実施の形態のパケット処理方法の処理態様を示す模式図

【図2】本発明の実施の形態におけるイーサネット（登録商標）対応TCP/IPパケット処理方法の処理態様を示す模式図

【図3】本発明の実施の形態のパケット処理装置の構成を示すブロック図

【図4】図3におけるDMAの構成を示すブロック図

【図5】図4におけるアドレス変換器の構成を示すブロック図

【図6】本発明の他の実施の形態のパケット処理装置の構成を示すブロック図

【図7】図6におけるDMAの構成を示すブロック図

【図8】図6におけるDMAの他の構成を示すブロック図

【図9】本発明の他の実施の形態のパケット処理装置の構成を示すブロック図

10

20

30

40

50

【図 10】本発明のさらに他の実施の形態のパケット処理装置の構成を示すブロック図
 【図 11】図 10における DMA の構成を示すブロック図
 【図 12】図 10における DMA の他の構成を示すブロック図
 【図 13】本発明のさらに他の実施の形態のパケット処理装置の構成を示すブロック図
 【図 14】図 13における DMA の構成を示すブロック図
 【図 15】図 13における DMA の他の構成を示すブロック図

【符号の説明】

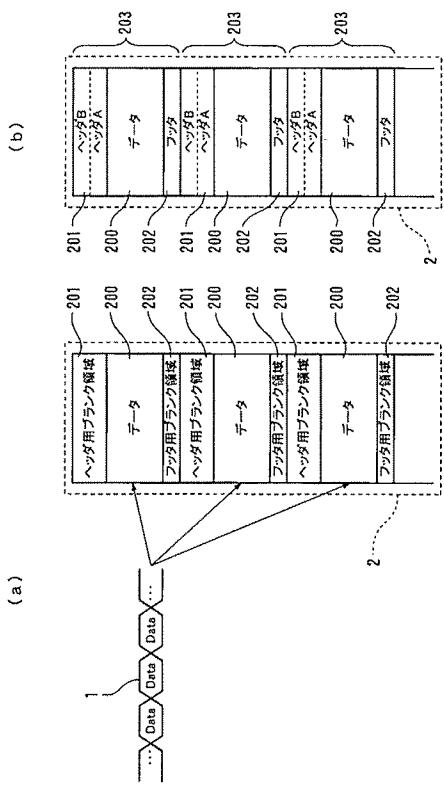
【0095】

4	記憶装置
5	DMA
6	アドレス変換器
7	アドレスバス
8	データバス
500	初期分割データ長レジスタ
501	ヘッダ用初期ブランク領域レジスタ
502	フッタ用初期ブランク領域レジスタ
603	読み出し用アドレス制御部
604	書き込み用アドレス制御部
606	分割データ長レジスタ
607	ヘッダ用ブランク領域レジスタ
608	フッタ用ブランク領域レジスタ
609	ヘッダオフセットレジスタ
610	フッタオフセットレジスタ

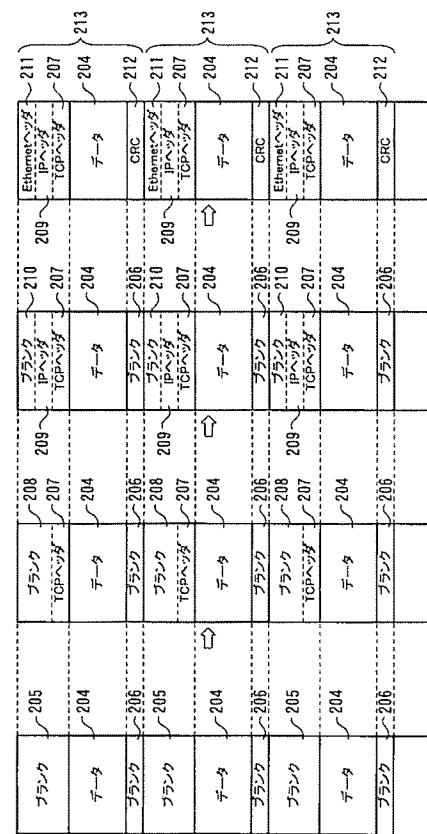
10

20

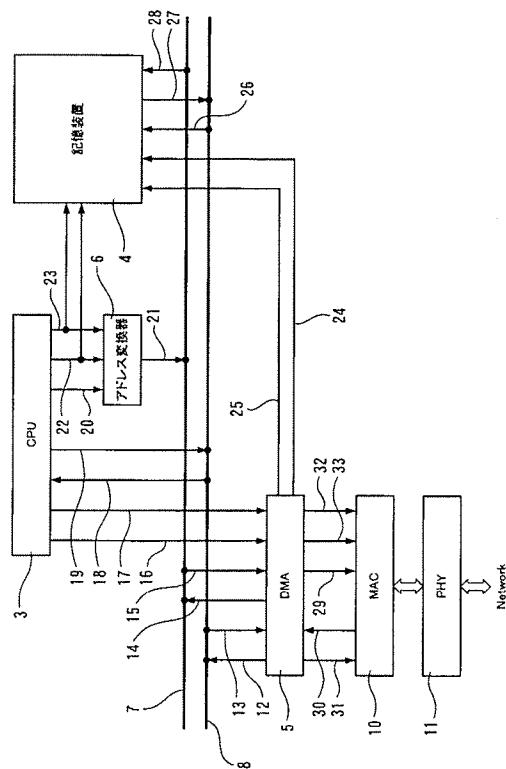
【図 1】



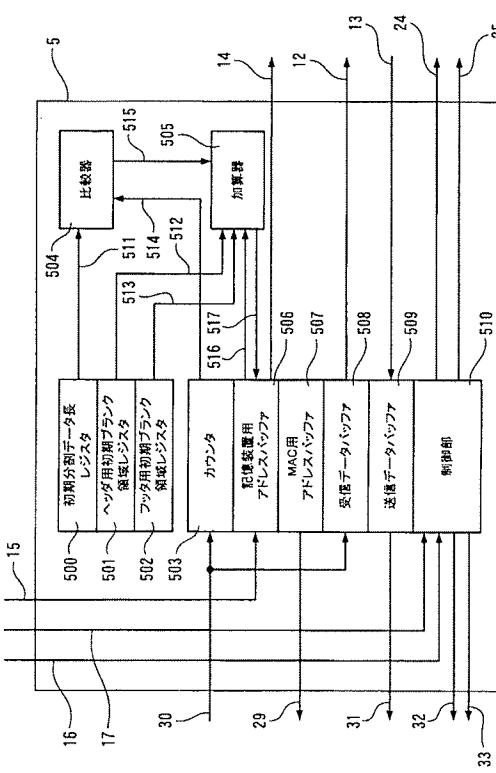
【図 2】



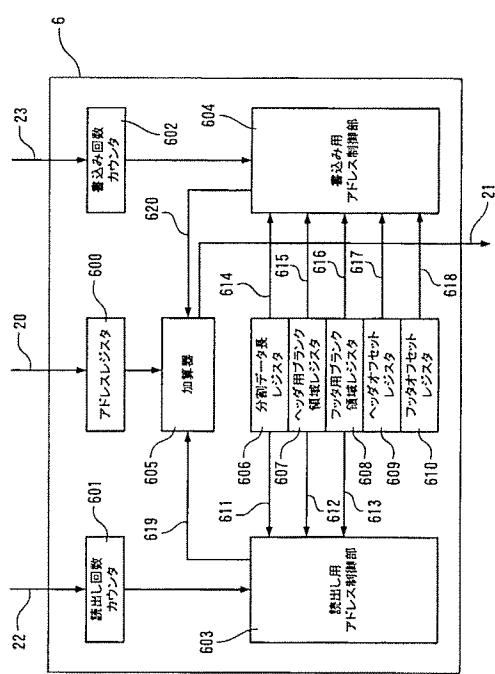
【図 3】



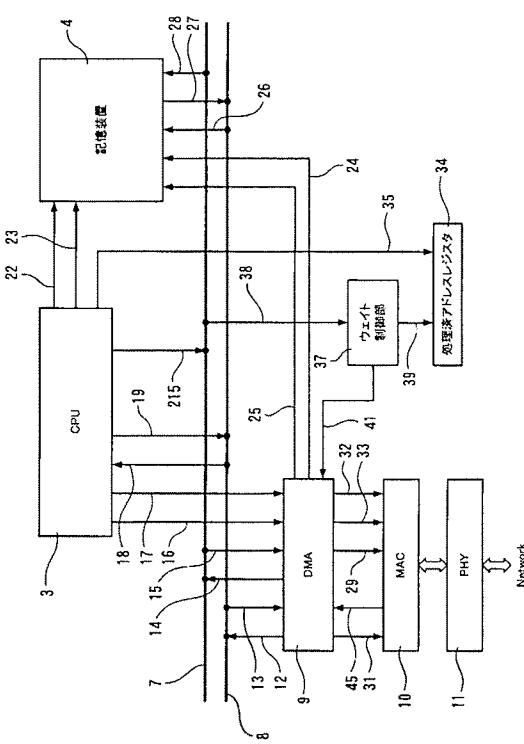
【図 4】



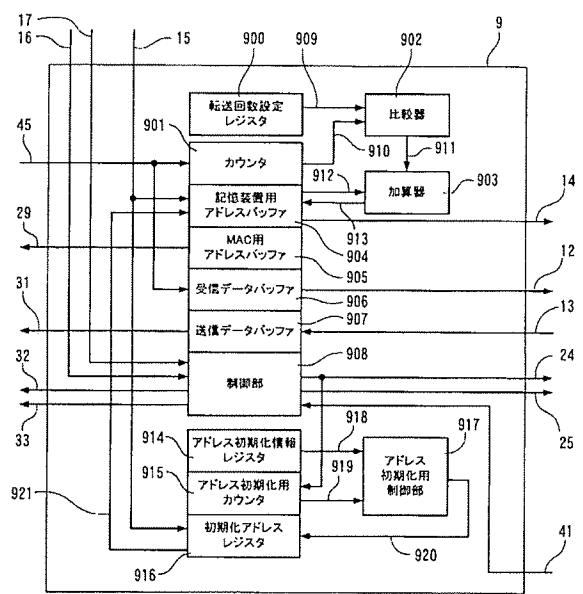
【図 5】



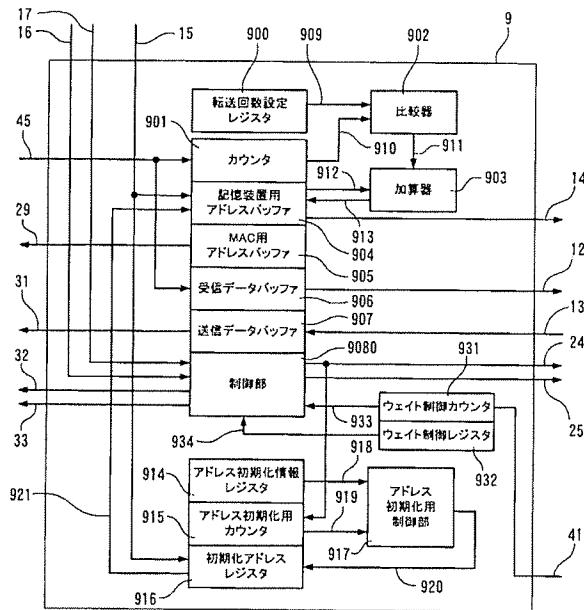
【図 6】



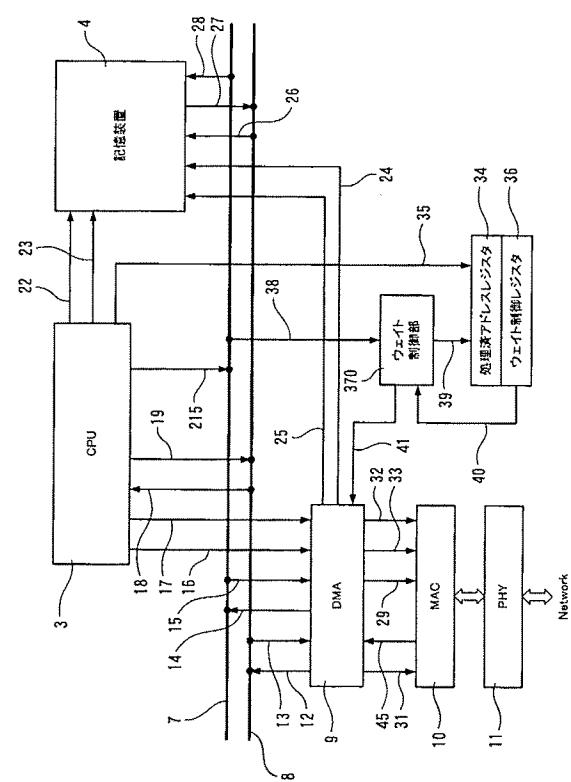
【図 7】



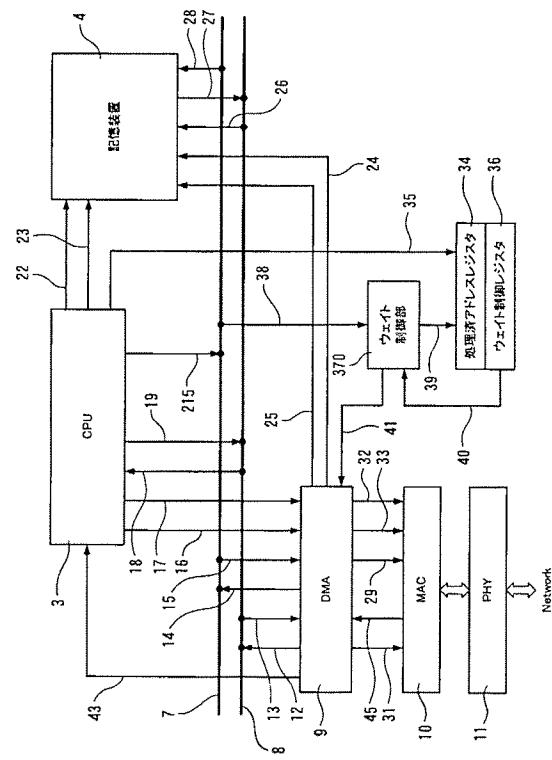
【図 8】



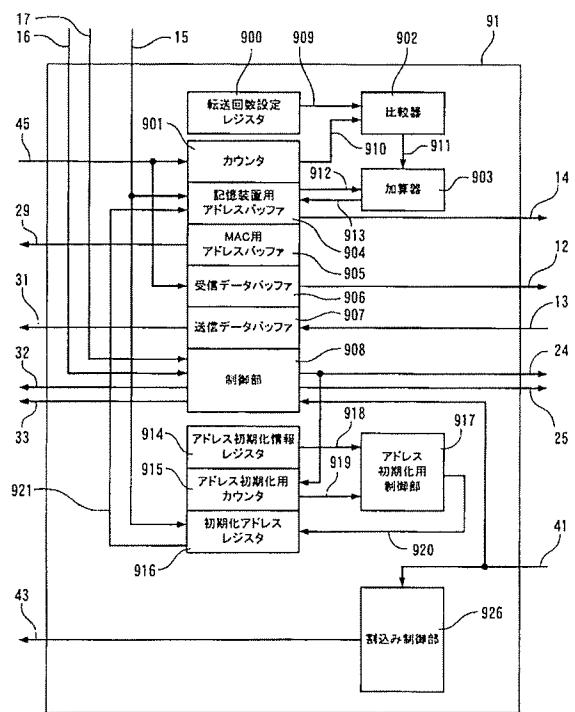
【図 9】



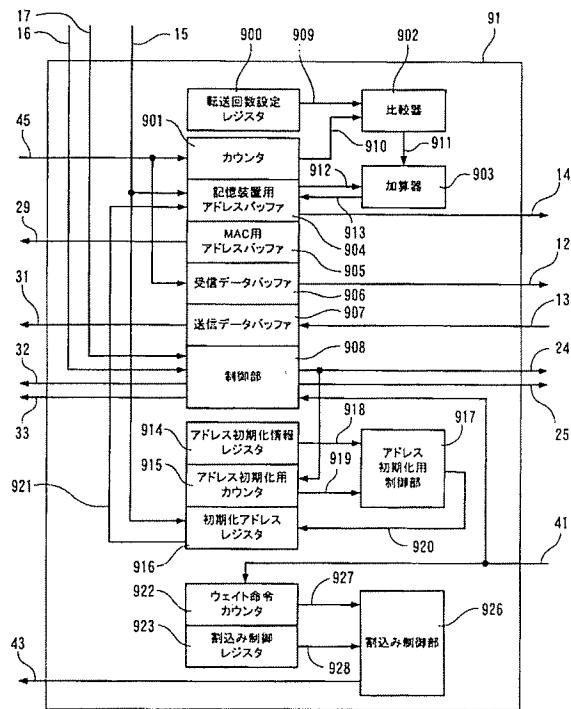
【図 10】



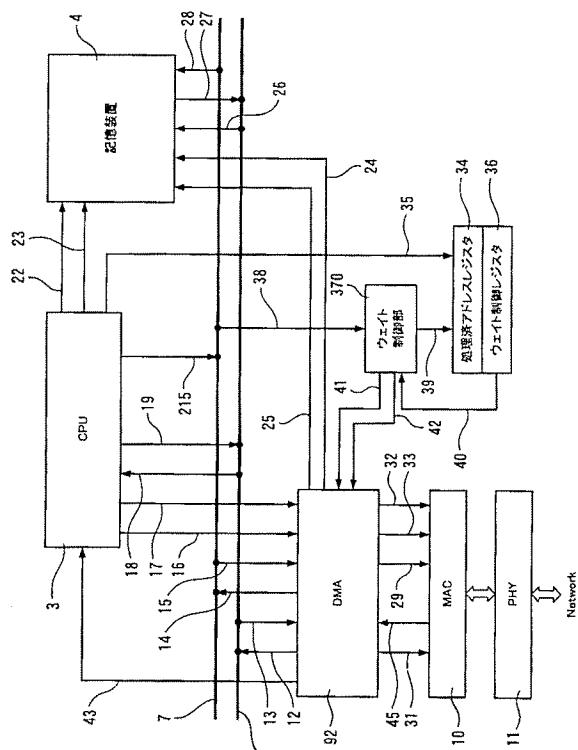
【図 1 1】



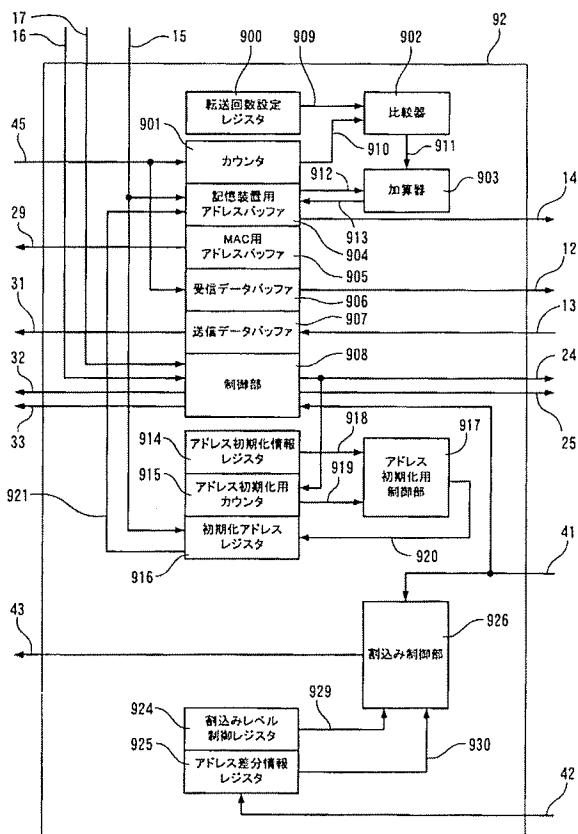
【図 1 2】



【図 1 3】



【図 1 4】



【図 15】

